



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07273648 A**(43) Date of publication of application: **20.10.95**

(51) Int. Cl

H03L 7/14**H03L 7/10****H04L 7/033****H04L 25/40**(21) Application number: **06061742**(22) Date of filing: **30.03.94**(71) Applicant: **NEC CORP NEC MIYAGI LTD**(72) Inventor: **FUKUNAGA SEIJI
SEKI KENJI**(54) **PLL CIRCUIT**

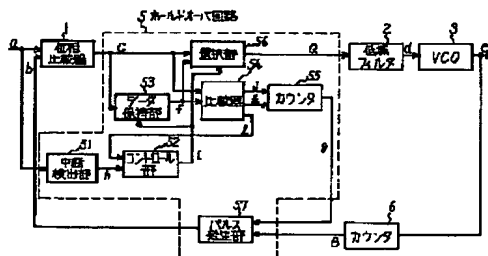
input signal is generated and used to control the VCO 3.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

PURPOSE: To suppress frequency fluctuation in an output clock signal and phase/ frequency jump by providing a hold-over circuit for feeding back a feedback signal being either a count signal corresponding to a frequency division signal or a count signal corresponding to a hold signal to a phase comparator circuit to the PLL circuit.

CONSTITUTION: The PLL circuit is provided with a phase comparator 1, a low pass filter 2 and a VCO 3 the same as those of a conventional PLL circuit and also a hold-over circuit 5 selecting by switchover either an error signal (c) or a hold signal (f) being an error signal (c) in the normal state to be latched corresponding respectively to the normal state or the intermitted state of an input signal (a), giving the selected signal to the low pass filter 2 as a signal Q and feeding back either an output signal B of a counter 6 or a count signal (g) of a counter 55 corresponding to the hold signal (f) to the phase comparison circuit as a feedback signal (b). Then the hold signal (f) being the error signal (c) just before the interruption of the



特開平7-273648

(43)公開日 平成7年(1995)10月20日

(51) Int.Cl.⁶

識別記号

片内整理番号

FI

技術表示箇所

H03L 7/14

A

7/10

H04L 7/033

H03L 7/10

D

H04L 7/02

B

審査請求 未請求 請求項の数2 OL (全 6 頁) 最終頁に続く

(21)出願番号

特願平6-61742

(22) 出願日

平成6年(1994)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000161253

宮城日本電気株式会社

宮城県黒川郡大和町吉岡字雷神2番地

(72)発明者 福永 誠二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 関 研二

宮城県黒川郡大和町吉岡字雷神 2 番地 宮
城日本電気株式会社内

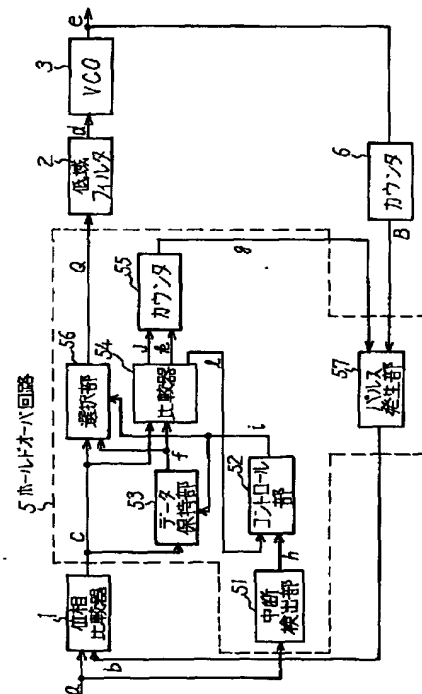
(74)代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 PLL回路

(57) 【要約】

【目的】入力信号に同期したクロック信号を供給するPLL回路において、上記入力信号の中断時およびこの中断の復旧時の位相・周波数変動を抑制する。

【構成】入力信号 a の正常時および中断時にそれぞれ対応して誤差信号 c と上記中断時直前の正常時の誤差信号を取込み保持した保持信号 f とのいずれか一方を選択した信号 Q を低域フィルタ 2 に供給するとともに分周信号 B と保持信号 f 対応の計数値信号 g とのいずれか一方を帰還信号 b として位相比較回路 1 に帰還するホールドオーバー回路 5 を備える。



【特許請求の範囲】

【請求項 1】 予め定めた周波数のパルス列から成る入力信号と帰還信号とを位相比較して位相誤差信号を出力する位相比較器と、前記位相誤差信号を平滑化して電圧制御信号を生成する低域フィルタ回路と、前記電圧制御信号にตอบสนองして所定の発振周波数の発振信号を出力する電圧制御発振回路と、前記発振信号の供給を受け所定の分周比で分周して前記帰還信号対応の第 1 の信号を生成する分周回路とを備える PLL 回路において、前記入力信号の正常時および中断時にそれぞれ対応して前記位相誤差信号と前記中断時直前の正常時の位相誤差信号を取込み保持した保持信号とのいずれか一方を選択して前記低域フィルタに供給するとともに前記第 1 の信号と前記保持信号から生成した第 2 の信号とのいずれか一方を前記帰還信号として前記位相比較回路に帰還するホールドオーバー回路を備えることを特徴とする PLL 回路。

【請求項 2】 前記ホールドオーバー回路が前記入力信号の中断を検出し中断信号を発生する中断検出部と、前記中断信号の供給にตอบสนองして制御信号を発生し第 1 の比較信号により前記制御信号を停止するコントロール部と、前記制御信号の供給にตอบสนองして前記位相誤差信号対応のデジタル化直流電圧である誤差データの保持および保持した前記誤差データである保持データの読出を行うデータ保持部と、前記誤差データと前記保持データとを比較し前記誤差データと前記保持データとが相互に等しい場合に対応する前記第 1 の比較信号と前記誤差データの方が大きい場合および小さい場合のそれぞれに対応する第 2 および第 3 の比較信号とを出力する比較部と、前記第 2 および第 3 の比較信号の供給にตอบสนองしてそれぞれアップまたはダウンカウントを行い前記第 2 の信号対応の第 2 の計数値信号を発生する予め定めた最大計数値の第 2 のカウンタと、前記制御信号の供給にตอบสนองして前記位相誤差信号と前記保持データ対応の直流電圧である保持信号とのいずれか一方を選択して前記低域フィルタに供給する選択部と、第 1 および前記第 2 の計数値信号が相互に等しいときのみ前記帰還信号を発生するパルス発生部とを備え、前記分周回路が前記発振信号を計数して前記第 1 の信号対応の前記第 1 の計数値信号を発生する前記最大計数値と同一の最大計数値の第 1 のカウンタを備えることを特徴とする請求項 1 記載の PLL 回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は PLL 回路に関し、特に同期伝送方式のデジタル伝送装置などに用いられる受信データのビット同期用の PLL 回路に関する。

【0002】

【従来の技術】デジタル伝送装置などデジタルデータ伝送用の通信装置においては、送信側から伝送されたデータを受信側で正しく受け取るために、まず何等かのビット同期を取る必要がある。この同期方式には、各符号の最初と最後に付加したスタートビットとストップビットとを手掛りにして符号単位で同期を取る調歩同期式とも呼ばれる非同期伝送方式と、データ信号の各ビット間の変化点などを検出して送信側に同期したクロックを受信側で生成する同期方式とがある。テレメータ装置など小規模なデータ伝送の場合を除き、一般には、伝送効率が高い同期伝送方式が用いられる。上記同期伝送方式においては、受信データから、上述の同期用のクロック信号を生成するために PLL 回路が用いられる。

【0003】公知の一般的な第 1 の従来の PLL 回路をブロックで示す図 3 を参照すると、この従来の PLL 回路はパルス列から成る入力信号 a と分周器 4 からの分周信号 b との位相比較を行い誤差信号 c を出力する位相比較器 1 と、誤差信号 c の高域成分を除去し平滑化した信号 d を出力する低域フィルタ 2 と、信号 d により周波数が制御されたクロック信号 e を発生する電圧制御発振器 (VCO) 3 と、クロック信号 e を分周し帰還信号 b を出力する分周器 4 とを備える。

【0004】動作について説明すると、位相比較器 1 は入力信号 a と比較用の帰還信号 b との位相差と比較し位相差に応じた誤差信号 c を出力する。低域フィルタ 2 は誤差信号 c の高域成分を除去し平滑化した信号 d を生成し、VCO 3 に供給する。VCO 3 は信号 d の電圧レベルにตอบสนองして周波数が制御されたクロック信号 e を発生する。このクロック信号 e を分周器 4 で分周し入力信号 a と同一周波数の帰還信号 b を生成する。この帰還信号 b を位相比較器 1 へ帰還させることにより閉ループを構成し、出力のクロック信号 e の周波数の自動調整を行う。

【0005】この従来の第 1 の PLL 回路では、入力信号 a が伝送回線の不調等により中断されると、PLL ループが解放されオープンループ状態となり位相ロック制御が不能となるため出力のクロック信号 e の周波数が一定しない不安定状態となる。また入力信号が復旧した場合、PLL ループが閉じられ上記不安定状態から再度入力信号 a に対する初期同期動作を行うため、これに伴って VCO 3 の周波数が大きく変動する周波数ジャンプを生じクロック信号 e の位相変動が大きくなる。

【0006】この入力信号の中断時における同期外れや入力信号復旧時の周波数ジャンプを防止するため、従来、いくつかの技術が提案されている。

【0007】入力信号復旧時の周波数ジャンプを解決するための特開平 4-29001 号公報記載の従来の第 2 の PLL 回路は、二重ループ型の PLL を用い、VCO の発振周波数の $N/2$ 分周パルスを利用して、入力信号の中断時の上記発振周波数が中心周波数付近となるよう

に制御電圧を保持する。

【0008】また、特開昭64-85426号明細書記載の従来の第3のPLL回路は、入力信号が欠落したとき、VCOの出力信号あるいはその分周信号である帰還信号をも欠落させることにより、位相比較器の位相比較動作を停止させ、その時点での誤差信号を制御信号として上記VCOに供給することにより同期外れを防止する。

【0009】さらに、特開昭64-32720号明細書記載の従来の第4のPLL回路は、入力パルスが欠落したとき、その時点からの位相比較器に供給されるVCOからの帰還パルスの数を所定計数値まで計数するとともに上記入力パルスが復帰するまでの間ループフィルタからのVCO制御電圧をホールドし、復帰時の入力パルスの数が上記所定計数値に達すると上記ホールド状態を解除することにより、上記VCOの周波数の大幅な変動を抑圧するとともに復帰後の再ロック時間を短縮する。

【0010】

【発明が解決しようとする課題】上述した従来のPLL回路は、まず、従来の第1のPLL回路は、入力信号が中断されると、オープンループ状態となり位相ロック制御が不能となるため出力クロック信号の周波数が一定しない不安定状態となるという欠点がある。また、上記入力信号が復旧したときには、クローズドループの再形成により上記不安定状態からの初期同期動作を行うため、これに伴って上記クロック周波数が大きく変動する周波数ジャンプを生ずるという欠点がある。

【0011】上記欠点を解消するための従来の第2のPLL回路は、入力信号の中断時にVCOの発振周波数を周波数制御範囲のほぼ中心値に固定するので、この中心値が復帰時の入力信号周波数とかなり異なる場合には、上記欠点が解消されない。また、2重ループ型以外の一般のPLL回路には必ずしも適用できないという欠点がある。

【0012】また、第3の従来のPLL回路は、入力信号の欠落時にはオープンループ状態とし、上記欠落時の制御信号に固定してVCOを制御するので、VCOの発振周波数はこのオープンループ時のVCOやループフィルタの温度特性などに大きく左右されるという欠点がある。また、上記欠落が長時間に及ぶときは第2の従来のPLLと同様に復帰時の入力周波数が必ずしもVCOの周波数と一致しないという欠点が生ずる。

【0013】さらに、第4の従来のPLL回路は、入力信号の欠落時においては帰還パルスの所定計数後の時点の誤差信号を基準としてPLLループを形成しているが、この方法では入力信号の欠落後の帰還パルスのみの期間の間の周波数変化が大きくせいぜい上記欠落時のパルス数が数個程度まで対応可能であり、本発明の目的とする同期伝送方式における受信データからの同期用クロック信号の生成には不適當である。

【0014】

【課題を解決するための手段】本発明のPLL回路は、予め定めた周波数のパルス列から成る入力信号と帰還信号とを位相比較して位相誤差信号を出力する位相比較器と、前記位相誤差信号を平滑化して電圧制御信号を生成する低域フィルタ回路と、前記電圧制御信号にตอบสนองして所定の発振周波数の発振信号を出力する電圧制御発振回路と、前記発振信号の供給を受け所定の分周比で分周して前記帰還信号対応の第1の信号を生成する分周回路とを備えるPLL回路において、前記入力信号の正常時および中断時にそれぞれ対応して前記位相誤差信号と前記中断時直前の正常時の位相誤差信号を取込み保持した保持信号とのいずれか一方を選択して前記低域フィルタに供給するとともに前記第1の信号と前記保持信号から生成した第2の信号とのいずれか一方を前記帰還信号として前記位相比較回路に帰還するホールドオーバー回路を備えて構成されている。

【0015】

【実施例】次に、本発明の実施例を図3と共通の構成要素には共通の参照文字／数字を付してブロックで示す図1を参照すると、この図に示す本実施例のPLL回路は、従来と共通の位相比較器1と、低域フィルタ2と、VCO3とに加えて、入力信号aの正常時および中断時にそれぞれ対応して誤差信号cと保持されていた正常時の誤差信号cである保持信号fとのいずれかを切替えて信号Qとして低域フィルタ2に供給するとともにカウンタ6の出力信号Bと保持信号f対応のカウンタ55の計数信号gとのいずれかを帰還信号bとして位相比較回路に帰還するホールドオーバー回路5と、分周器4の代りに信号eを分周し信号Bを生成する最大計数値Nの分周用のカウンタ6とを備える。

【0016】ホールドオーバー回路5は、入力信号aの中断を検出し中断信号hを発生する中断検出部51と、中断信号hと信号lとの供給にตอบสนองして制御信号iを発生するコントロール部52と、制御信号iの供給にตอบสนองして誤差信号cの保持および保持信号fの読出を行うデータ保持部53と、誤差信号cと保持信号fとを比較し信号cが大きい場合には信号jを信号cが小さい場合には信号kを信号c、fが相互に等しい場合には信号lをそれぞれ出力する比較部54と、信号j、kの供給にตอบสนองしてそれぞれアップ／ダウナカウントを行い計数値信号gを発生する最大計数値Nのカウント55と、制御信号iの供給にตอบสนองして誤差信号cと保持信号fとのいずれか一方を選択し切替えて信号Qを出力する選択部56と、信号B、gが相互に等しいときのみパルス信号である帰還信号bを発生するパルス発生部57とを備える。

【0017】次に、図1および動作のタイムチャートである図2を参照して本実施例の動作について説明する。図2(a)に示すように、入力信号aが正常に供給されている時には、位相比較器1の出力の誤差信号cを選択

部 5 6 で選択し信号 Q として低域フィルタ 2 へ供給する。低域フィルタはこの信号 Q を、前述の従来の PLL と同様に、平滑化し信号 d を生成し VCO 3 を制御する。VCO 3 からのクロック信号 e は出力信号として出力されるとともにカウンタ 6 に供給される。カウンタ 6 は信号 e をカウントを行いその計数値対応の信号 B を発生する。このカウンタ 6 は、通常のバイナリカウンタであり、最大計数値 N はクロック信号 e の周波数を入力信号 a 対応の周波数まで分周するときの分周数に等しい。計数値が N-1 に達すると次のクロック信号で初期値に戻る。一方、カウンタ 5 5 は動作を停止しておりその停止時点における計数値信号 g の計数値 M ($0 \leq M \leq N-1$) をパルス発生部 5 7 に供給する。パルス発生部 5 7 は信号 B の計数値を信号 g の値 M と比較し信号 B の計数値が M と等しくなるとパルスの帰還信号 b を出力する。したがって、N 個のクロック信号 e の供給に回答して 1 個だけパルス帰還信号 b を発生するので、これらカウンタ 6 とパルス発生部 5 7 とで従来の PLL における分周器 4 と同一の動作を行うことになる。

【0018】図 2 (b) に示すように、入力信号 a が中断した場合には、中断検出部 5 1 は中断検出を行い、中断信号 h をコントロール部 5 2 に供給する。コントロール部 5 2 は中断信号 h の供給に回答して制御信号 i を選択部 5 6 とデータ保持部 5 3 とにそれぞれ供給する。データ保持部 5 3 は制御信号 i の供給に回答して上記中断直前の誤差信号 c をラッチして保持するとともにこの保持したデータを読出した保持信号 f を選択部 5 6 と比較部 5 4 とにそれぞれ供給する。このようなデータ保持部 5 3 の機能の回路は、誤差信号 c のデューティ対応の直流電圧レベルを A/D 変換しデジタルデータとして保持する A/D 変換器とシフトレジスタとの組合せで実現できる。選択部 5 6 は制御信号 i の供給に回答してデータ保持部 5 3 の出力の保持信号 f を選択して信号 Q として低域フィルタ 2 に供給する。比較部 5 4 は保持信号 f のみが供給されもう一方の入力である誤差信号 c の供給が中断しているので信号 j, k, および l を発生しない。したがって、カウンタ 5 5 も動作停止状態のままであり、信号 g は上記中断時の計数値 M のままである。その結果、パルス発生部 5 7 は、正常時と同様に信号 B の計数値が計数値 M のとき帰還信号 b を発生する。

【0019】入力信号 a が復旧した場合には、コントロール部 5 2 は比較部 5 4 からの信号 c, f が相互に等しいことを示す比較信号 l の供給を受けるまで制御信号 i をそのまま維持する。上述のように比較部 5 4 は誤差信号 c と保持信号 f とを比較しこれら信号 c, f の相互の大小関係に対応する信号 j, k, および l を発生する。信号 j, k はカウンタ 5 5 に供給され、カウンタ 5 5 は信号 j, k の供給にそれぞれ回答してアップあるいはダウンカウントし、信号 g の計数値 M を増加あるいは減少させる。ここで、図 2 (c), (d) にそれぞれ示すよ

うに、信号 g の計数値が M-1 と減少すると、パルス発生部 5 7 は信号 B の計数値が M-1 のときに帰還信号 b を発生するように、すなわち、クロック信号 e の位相が 1 パルス分進むように調整する。逆に、信号 g の計数値が M+1 と増加するときは、クロック信号 e の位相が 1 パルス分遅れるように調整する。この結果、位相比較器 1 の出力である誤差信号 c が変化する。比較器 5 4 は再度信号 c, f の相互の比較を行い、新たな信号 j, k をカウンタ 5 5 に供給し、カウンタ 5 5 はこれら信号 j, k 対応のアップ/ダウン動作を行い、信号 c, f の相互が一致して信号 l が発生するまで上記位相調整を繰返す。コントロール部 5 2 は信号 l の供給に回答して制御信号 i の供給を停止し、選択部 5 6 は制御信号 i の供給停止に回答して再度誤差信号 c を選択し信号 Q として低域フィルタ 2 に供給する。このように、選択部 5 6 は信号 c, f が相互に等しくなってから誤差信号 c に切替るので、VCO の位相変動は生じない。

【0020】

【発明の効果】以上説明したように、本発明の PLL 回路は、入力信号の正常時および中断時にそれぞれ対応して位相誤差信号と保持信号とのいずれか一方を VCO の制御信号として選択するとともに分周信号対応の計数信号と上記保持信号対応の計数信号とのいずれか一方を帰還信号として位相比較回路に帰還するホールドオーバー回路を備えることにより、入力信号の中断時には、この中断直前の位相比較器の誤差信号を保持して保持信号を発生しこの保持信号により VCO を制御することにより出力クロック信号の周波数変動を抑圧するとともに、入力信号の復帰時には、上記誤差信号と上記保持信号とを一致させるよう制御することにより、上記復帰時の出力クロック信号の位相・周波数ジャンプを大幅に抑圧できるという効果がある。

【図面の簡単な説明】

【図 1】本発明の PLL 回路の一実施例を示すブロック図である。

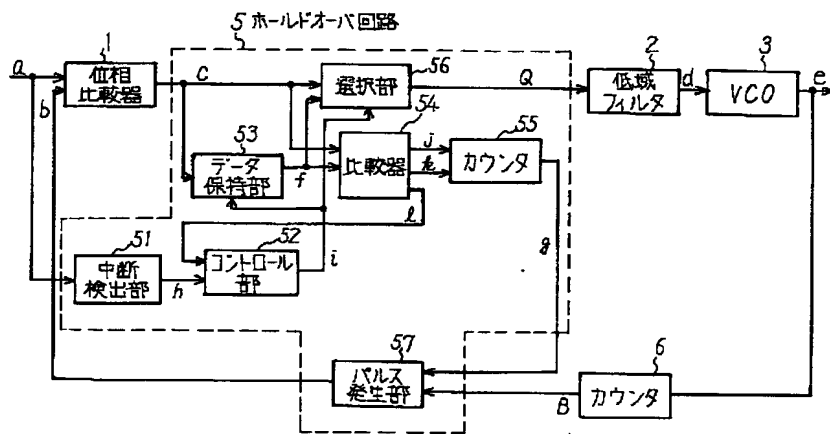
【図 2】本実施例の PLL 回路における動作の一例を示すタイムチャートである。

【図 3】従来の PLL 回路の一例を示すブロック図である。

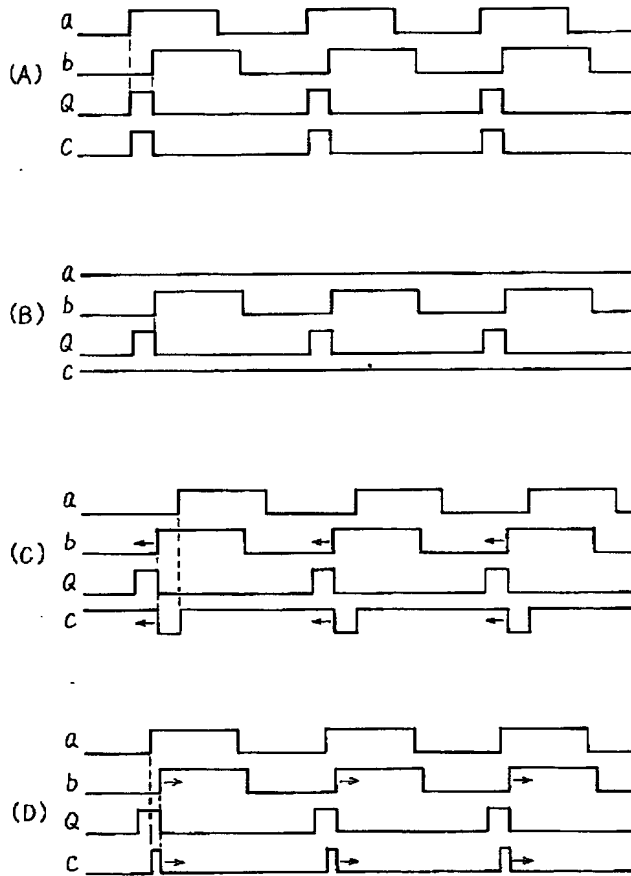
【符号の説明】

- | | |
|-------|------------|
| 1 | 位相比較器 |
| 2 | 低域フィルタ |
| 3 | VCO |
| 4 | 分周器 |
| 5 | ホールドオーバー回路 |
| 6, 55 | カウンタ |
| 51 | 中断検出部 |
| 52 | コントロール部 |
| 53 | データ保持部 |
| 54 | 比較部 |

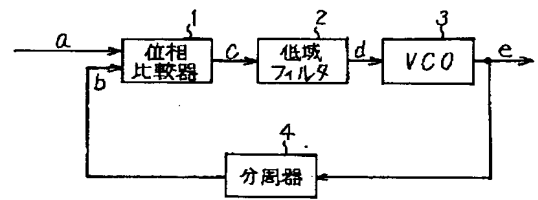
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl.⁶

H 0 4 L 25/40

識別記号

庁内整理番号

C 9199-5K

F I

技術表示箇所